

DIALOG(R) File 352:Derwent WPI
(c) 2002 Thomson Derwent. All rts. reserv.

011491530

WPI Acc No: 1997-469435/199743

XRAM Acc No: C97-149070

XRPX Acc No: N97-391708

A method to fabricate thin film transistor - using ultrahigh vacuum
chemical vapour deposition and chemical mechanical polishing systems

Patent Assignee: NAT SCI COUNCIL (NASC-N)

Inventor: CHANG C; CHENG J; LEI T; LIN H

Number of Countries: 002 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
TW 310478	A	19970711	TW 95113096	A	19951208	199743 B
US 5943560	A	19990824	US 96635016	A	19960419	199941 N

Priority Applications (No Type Date): TW 95113096 A 19951208; US 96635016 A
19960419

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

TW 310478	A	17		H01L-027/13	
-----------	---	----	--	-------------	--

US 5943560	A			H01L-021/336	
------------	---	--	--	--------------	--

Abstract (Basic): TW 310478 A

The patent is using ultrahigh vacuum chemical vapor deposition (UHV/CVD) and chemical mechanical polishing (CMP) systems to develop a method which can fabricate polycrystalline silicon (poly-Si) and polycrystalline silicon-germanium (poly-Sil-xGex) thin film transistors at low temperature and low thermal budget. Poly-Si and poly-Sil-xGex can be deposited by UHV/CVD without any anneal step. And due to the ultralow base pressure and ultraclean growth environment, the as-deposited poly films have lower defect densities. However, the surface morphology retards the usage of fabricating top-gate poly TFTs. Using CMP to improve the surface morphology, high performance poly-Si and poly-Sil-xGex TFTs can be obtained.

Title Terms: METHOD; FABRICATE; THIN; FILM; TRANSISTOR; ULTRAHIGH;
VACUUM;

CHEMICAL; VAPOUR; DEPOSIT; CHEMICAL; MECHANICAL; POLISH; SYSTEM

Derwent Class: L03; U11; U12

International Patent Class (Main): H01L-021/336; H01L-027/13

File Segment: CPI; EPI

附件

公告本

310478

申請日期	84.12.08
案 號	84113096
類 別	H01L 27/13

Int. Cl.⁶

A4
C4

310478

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	一種製備薄膜電晶體方法
	英 文	
二、發明人 創作	姓 名	張 俊 彥 雷 添 福 林 孝 義 鄭 俊 一
	國 籍	中華民國
	住、居所	新竹市大學路一〇〇三巷十號三樓 新竹市大學路一〇〇一號 新竹市大學路一〇〇一號 新竹市大學路一〇〇一號
	姓 名 (名稱)	行政院國家科學委員會
三、申請人	國 籍	中華民國
	住、居所 (事務所)	台北市和平東路二段一〇六號十八樓
	代 表 人 姓 名	郭 南 云

經濟部中央標準局員工消費合作社印製

裝
訂
線

五、發明說明()

- 1 於 1988 年 H. Kawahara 等人發表於 J. Electrochem. Soc. 第 135 卷第 8 期第 2013-16 頁，揭示一種可於 50 °C 下低溫成長氧化矽 (SiO_2) 的液相沈積 (LPD, liquid phase deposition) 方法，該方法榮獲美國專利第 5,073,408 號。
- 5 此技術原本係應用於成長玻璃基板之覆膜，以阻止玻璃內鈉離子向外擴散，避免其破壞成長於上方之液晶平面顯示器 (LCD, liquid crystal display)。此液相沈積 (LPD) 方式之優點在於設備簡單、製作價格便宜、低溫下進行製備以及成長良好品質良好之氧化矽薄膜，具有選擇性沈積
- 10 之能力。

- 傳統之複晶矽及複晶矽鍺薄膜電晶體之製造，如 T. J. King 等人於 1990 年 IEDM Tech. Dig. 第 253-256 頁所揭示，係以低壓化學氣相沉積 (LPCVD, low pressure chemical vapor deposition) 系統先於低溫狀態下沉積一層非晶矽薄膜，再經過 24~72 小時長時間之退火 (anneal) 處理使其結晶成複晶矽。此方法曠日費時，不僅提高生產成本且產品內沉積許多熱量，再則一般之低壓化學氣相沉積 (LPCVD) 系統之成長室潔淨度較差，故所成長之複晶矽及複晶矽鍺薄膜的品質無法與超高真空化學氣相沉積 (UHV/CVD, ultrahigh vacuum chemical vapor deposition) 系統所成長的薄膜相較。雖然亦可利用雷射退火 (anneal) 處理之方法於低溫下使非晶矽結晶成複晶矽，然而以該方法所製作之複晶矽薄膜電晶體即使具有良好之特性，但其整體之
- 15
- 20
- 24

五、發明說明()

- 1 均勻性及量產之可行性方面尚有待進一步克服，所以雷射退火方式至目前為止亦非無懈可擊之方法。此外尚可利用一種新近發表之催化劑(catalyzer)輔助法以成長複晶矽，其係以金屬絲置於冷壁(cold wall)成長室將晶片加熱至成長溫度，以傳統之低壓化學氣相沉積 (LPCVD)系統即可成長複晶矽，而不必經由退火處理之方法。
- 5

- 本發明中利用超高真空化學氣相沉積 (UHV/CVD)直接於550 °C以下溫度成長出複晶矽及複晶矽鍺薄膜，並以化學機械研磨 (CMP)系統改善複晶矽及複晶矽鍺薄膜表面之平坦度。
- 10

- 本發明之主要目的係提供一種新穎之製備複晶矽及複晶矽鍺薄膜電晶體方法，該方法可於低溫及低熱預算(thermal budget)製程造出特性良好之複晶矽及複晶矽鍺薄膜電晶體，且於製程中不需經過任何退火 (anneal) 處理。
- 15

圖式說明：

20

圖一 本發明“一種製備薄膜電晶體方法”之製程

圖二 原子力顯微鏡照片

(atomic force microscopy)

24

(a) 為拋光前 (b) 為拋光後

五、發明說明()

1 圖三 薄膜電晶體的特性比較

(A) p 通道

- 1. $V_d = -0.1V$ 拋光前
- 2. $V_d = -5.0V$ 拋光前
- 5 3. $V_d = -0.1V$ 拋光後
- 4. $V_d = -5.0V$ 拋光後

(B) n 通道

- 1. $V_d = 0.1V$ 拋光前
- 2. $V_d = 5.0V$ 拋光前
- 10 3. $V_d = 0.1V$ 拋光後
- 4. $V_d = 5.0V$ 拋光後

圖號說明

- 1.... 介電基板
- 15 2.... 通道材質
- 21.... 通道表面
- 3.... 閘極介電層
- 4.... 閘極
- 41.... 氧化矽層
- 20 42.... 隔離層
- 5.... n^+ 或 p^+ 區
- 6.... 絕緣介電層
- 7.... 接觸區
- 24

五、發明說明 ()

- 1 為使 貴審查委員能對本發明技術手段及其功效能夠更加明瞭，茲佐以圖式並詳細說明如后：

- 5 雖然一般超高真空化學氣相沉積 (UHV/CVD) 能於 550°C 以下的低溫成長出複晶矽及複晶矽鍺薄膜而不需經過任何退火 (anneal) 處理，且由於其製程中極低之背景壓力及極潔淨之成長環境，故所成長之複晶矽及複晶矽鍺薄膜亦具有較低之缺陷密度。然而該薄膜之表面平坦度 (morphology) 仍然較差，所以不適合運用於製造頂閘極 (top gate) 之薄膜電晶體。本發明“一種製備薄膜電晶體方法”係運用超高真空化學氣相沉積 (UHV/CVD) 系統和化學機械研磨法 (chemical mechanical polishing, CMP) 系統，既採用極低之背景壓力及極潔淨成長環境，以成長擁有較低缺陷密度之複晶矽及複晶矽鍺薄膜，再以化學機械研磨 (CMP) 系統改善其表面平坦度，因而獲得表面平坦度良好適用於製造頂閘極 (top gate)，特性良好之複晶矽及複晶矽鍺薄膜電晶體。
- 10 15

- 20 本發明“一種製備薄膜電晶體方法”如圖一 (a) 所示，首先在一般絕緣的介電基板 (1) 上以超高真空化學氣相沉積 (UHV/CVD) 系統沉積一層複晶矽或複晶矽鍺薄膜作為通道材質 (2)，並以化學機械研磨法 (CMP) 拋光其表面使通道表面之粗糙度降低，接著定義元件之區域後於拋光的通道表面 (21) 形成一閘極介電層 (3)，再於閘極介電層 (3) 上
- 24

五、發明說明()

- 1 以超高真空化學氣相沉積(UHV /CVD)系統沉積一層複晶矽或複晶矽鍺薄膜作為閘極材質並定義出閘極(4)，再以 n-型摻雜(n-type doping)或p-型摻雜(p-type doping)使閘極與源極、汲極形成 n^+ 或 p^+ 區(5)，然後沉積一絕緣介電層(6)並定義接觸口，最後鍍金屬並定義閘極與源極、汲極之接觸區(7)。

- 本發明“一種製備薄膜電晶體方法”亦可如圖一(b)所示，首先在一般絕緣的介電基板(1)上以超高真空化學氣相沉積(UHV/CVD)系統沉積一層複晶矽或複晶矽鍺薄膜作為通道材質(2)，並以化學機械研磨法(CMP)拋光其表面使通道表面之粗糙度降低，接著定義元件之區域後於拋光的通道表面(21)形成一閘極介電層(3)，再於閘極介電層(3)上以超高真空化學氣相沉積(UHV/CVD)系統沉積一層高濃度摻雜之 n^+ 或 p^+ 複晶矽或複晶矽鍺薄膜作為閘極材質並定義出閘極(4)，接著低溫沉積一層氧化矽(41)經非均向(anisotropic)電漿蝕刻後形成閘極側壁之隔離層(spacer, 42)，再以超高真空化學氣相沉積(UHV/CVD)系統選擇性成長(selective growth)高濃度摻雜之退化形(recess)源極、汲極，以形成 n^+ 或 p^+ 區(5)，然後沉積一絕緣介電層(6)並定義接觸口，最後鍍金屬並定義閘極與源極、汲極之接觸區(7)。

- 24 上述以超高真空化學氣相沉積(UHV/CVD)系統於低溫

五、發明說明()

- 1 下沉積一複晶矽或複晶矽鍺薄膜作為通道材質 (2)，此通道之材質可為單層或多層之結構。本發明“一種製備薄膜電晶體方法”係運用超高真空化學氣相沉積 (UHV/CVD) 系統配合化學機械研磨法 (CMP) 系統，以拋光所成長之複晶矽及複晶矽鍺薄膜，降低通道表面之粗糙度。然而本發明亦可採取超高真空化學氣相沉積 (UHV /CVD) 系統方法搭配其它研磨技巧，例如研磨前輔以電漿蝕刻可改善作為通道之複晶矽及複晶矽鍺薄膜通道表面研磨後之均勻性。
- 5
- 10 本發明定義元件區域 (active region) 後於拋光的通道表面 (21) 形成一閘極介電層 (3)，此閘極之介電層可運用如氧化矽 (SiO_2)、氮化矽 (Si_3N_4) 或三氧化二鋁 (Al_2O_3)、氮氧化矽或其它可作為閘極介電層之材質，運用氧化、氮化、沉積、濺鍍等方法形成介電層。
- 15
- 20 本發明定義元件區域 (active region) 以及閘極 (4) 係以超高真空化學氣相沉積 (UHV /CVD) 系統於低溫下沉積複晶矽或複晶矽鍺薄膜作為材質，並以電漿方式進行蝕刻定義。運用離子佈植 (ion implant)、電漿滲雜 (plasma doping)、雷射輔助離子滲雜 (laser assisted ion doping) 或氣態滲雜 (gas source doping) 技術形成閘極與源極、汲極之 n^+ 或 p^+ 區 (5)；此 n^+ 或 p^+ 區亦可利用選擇性成長 (selective growth) 輔以同時 (in situ) 滲雜之技術形成。
- 24

五、發明說明()

- 1 依照本發明“一種製備薄膜電晶體方法”所製備作為
通道材質之複晶矽或複晶矽鍍薄膜經原子力顯微鏡(atomic
force microscopy)照片如圖二所示，發現(a)拋光前其表
面平均粗糙度(roughness)為9.0 nm，(b)拋光後其表面
5 平均粗糙度(roughness)為3.6 nm。且所製備之薄膜電晶
體之p通道及n通道薄膜電晶體的特性，如圖三所示，其通
道寬長比 $W/L = 100$ 微米/10微米。

- 為使本發明之目的、方法及優點能更明顯地說明，以
10 下特舉實施例作詳細具體之陳述，但不以其內容限制本發
明之範圍。

實施例一

- 15 於 650°C 下以超高真空化學氣相沉積(UHV/CVD)系統
於玻璃或二氧化矽基層上沉積一層 $100\sim 300\text{nm}$ 之複晶矽
(2)並經化學機械研磨法(CMP)研磨拋光成 $50\sim 200\text{nm}$ 。

- 以電漿蝕刻將複晶矽蝕刻成元件區(active region)
20 ，以低於 600°C 以下溫度成長 $10\sim 50\text{nm}$ 的氧化矽(SiO_2)
作閘極介電層。再以超高真空化學氣相沉積(UHV / CVD)
於 650°C 下成長一層 $100\sim 500\text{nm}$ 之複晶矽。以電漿蝕刻
定義出閘極，而以離子佈植(ion implant)後以高於 500°C
24 下使閘極與源極、汲極形成 n^{+} 區或 p^{+} 區。於 $200\sim 400^{\circ}\text{C}$ 下

五、發明說明()

- 1 以電漿輔助化學氣相沉積一層200~500 nm 之氧化矽作介電層。

蝕刻出接觸口，鍍金屬並再蝕刻出閘極與源極、汲極之接觸區。

5

實施例二

- 10 以低於650 °C下以超高真空化學氣相沉積(UHV/CVD)系統於玻璃或二氧化矽基層上沉積一層100~300 nm 之複晶矽(2)並經化學機械研磨法(CMP)研磨拋光成50~200 nm。

- 15 以電漿蝕刻將複晶矽蝕刻成元件區(active region)，以低於600°C以下溫度成長10~50 nm 的氧化矽(SiO_2)作閘極介電層。再以超高真空化學氣相沉積(UHV/CVD)以低於650°C下成長100~500 nm 之複晶矽。以電漿蝕刻出閘極，接著以低溫沉積一層氧化矽再經非均向性(recess)電漿蝕刻後形成閘極側壁之隔離層(spacer)，再以超高真空化學氣相沉積(UHV/CVD)系統選擇性成長(selective growth)出高濃度摻雜之退化形(recess)源極、汲極，以
- 20 形成 n^- 或 p^+ 區，於200~400°C下以電漿輔助化學氣相沉積一層200~500 nm 之氧化矽作介電層。

- 24 蝕刻出接觸口，鍍金屬並再蝕刻出閘極與源極、汲極之接觸區。

四、中文發明摘要(發明之名稱：

一種製備薄膜電晶體方法

本發明“一種製備薄膜電晶體方法”係利用超高真空化學氣相沉積(UHV/CVD)系統和化學機械研磨(CMP)系統發展出一種低溫及低熱沉積(thermal budget)製程之複晶矽及複晶矽鍺薄膜電晶體。既採用極低之背景壓力及極潔淨之成長環境，以成長擁有較低缺陷密度之複晶矽及複晶矽鍺薄膜，再以化學機械研磨(CMP)系統改善其表面平坦度。因而其表面平坦度(morphology)良好適用於製造頂閘極(top gate)之薄膜電晶體。

英文發明摘要(發明之名稱：

A method to fabricate thin film transistor

The patent is using ultrahigh vacuum chemical vapor deposition(UHV/CVD) and chemical mechanical polishing(CMP) systems to develop a method which can fabricate polycrystalline silicon (poly-Si) and polycrystalline silicon-germanium (poly-Si_{1-x}Ge_x) thin film transistors at low temperature and low thermal budget. Poly-Si and poly-Si_{1-x}Ge_x can be deposited by UHV/CVD without any anneal step. And due to the ultralow base pressure and ultraclean growth environment, the as-deposited poly films have lower defect densities. However, the surface morphology retards the usage of fabricating top-gate poly TFTs. Using CMP to improve the surface morphology, high performance poly-Si and poly-Si_{1-x}Ge_x TFTs can be obtained.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

- 1 1. 一種製備薄膜電晶體方法，其係利用超高真空化學氣相沉積 (UHV/CVD) 系統和化學機械研磨 (CMP) 系統發展出一種低溫及低熱沉積 (thermal budget) 製程之複晶矽及複晶矽鍍薄膜電晶體；其係在一般絕緣的介電基板
- 5 板上以超高真空化學氣相沉積 (UHV/CVD) 系統沉積一層複晶矽或複晶矽鍍薄膜作為通道材質，並以化學機械研磨法 (CMP) 拋光其表面使通道表面之粗糙度降低，接著定義元件之區域後於拋光的通道表面形成一閘極介電層，再於閘極介電層上以超高真空化學氣相沉積 (UHV/CVD) 系統沉積一層複晶矽或複晶矽鍍薄膜作為閘極材質並定義出閘極，再以 n- 型沉積 (n-type doping) 或 p- 型沉積 (p-type doping) 使閘極與源極、汲極形成 n^+ 或 p^+ 區，然後沉積一絕緣介電層並定義接觸口，最後鍍金屬並定義閘極與源極、汲極之接觸區。
- 10 2. 如申請專利範圍第 1 項之方法，超高真空化學氣相沉積 (UHV/CVD) 系統於低溫下沉積一複晶矽或複晶矽鍍薄膜作為通道材質，其通道材質可為單層或多層之結構。
- 15 3. 如申請專利範圍第 1 項之方法，配合其它技巧來改善其研磨之均勻性。
- 20 4. 如申請專利範圍第 1 項之方法，其閘極之介電層可選用氧化矽 (SiO_2)、氮化矽 (Si_3N_4)、氮氧化矽或三氧化二鋁 (Al_2O_3) 介電材質。
- 24 5. 如申請專利範圍第 1 項之方法，其製備介電層方法可

六、申請專利範圍

- 1 選用氮化法、沉積法、濺鍍法、氧化法。
6. 如申請專利範圍第 1 項之方法，其定義出閘極後，接著於低溫沉積一層氧化矽經非均向 (anisotropic) 電漿蝕刻後形成閘極側壁之隔離層 (spacer)，再以超高真空化學氣相沉積 (UHV / CVD) 系統選擇性成長 (selective growth) 高濃度摻雜之退化形 (recess) 源極、汲極，以形成 n^+ 或 p^+ 區，然後沉積一絕緣介電層並定義接觸口，最後鍍金屬並定義閘極與源極、汲極之接觸區。
- 5 10 7. 如申請專利範圍第 1 項之方法，其形成閘極與源極、汲極之 n^+ 或 p^+ 區可運用離子佈植 (ion implant)、電漿摻雜 (plasma doping)、雷射輔助離子摻雜 (laser assisted ion doping) 或氣態摻雜 (gas source doping) 技術。
- 15 8. 如申請專利範圍第 1 項之方法，其形成 n^+ 或 p^+ 區亦可利用選擇性成長 (selective growth) 輔以同時 (in situ) 摻雜之技術。

87113046

A9
B9
C9
D9

圖式

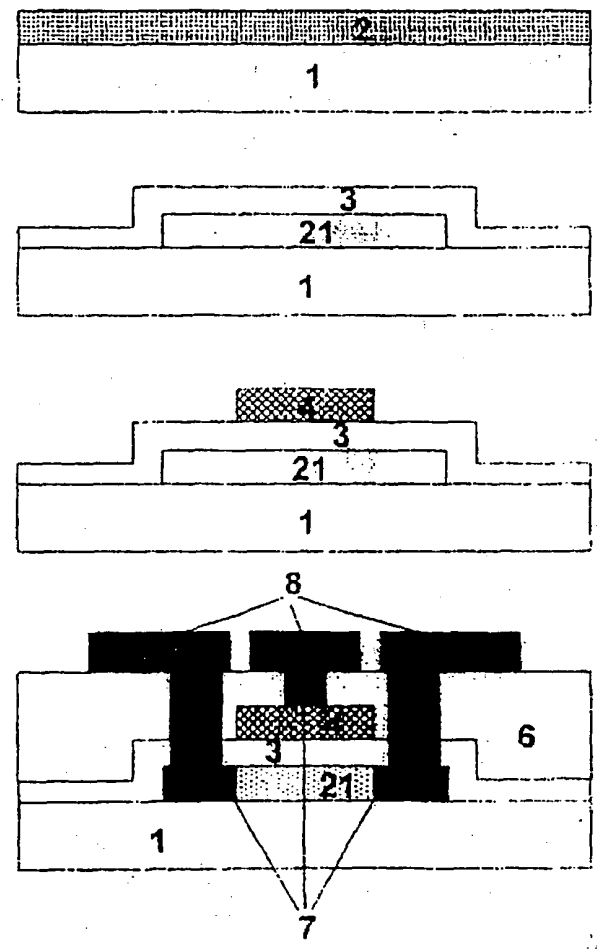


圖 — (a)

(請先閱讀背面之注意事項再行繪製)

裝

訂

經濟部中央標準局員工消費合作社印製

A9
B9
C9
D9

圖式

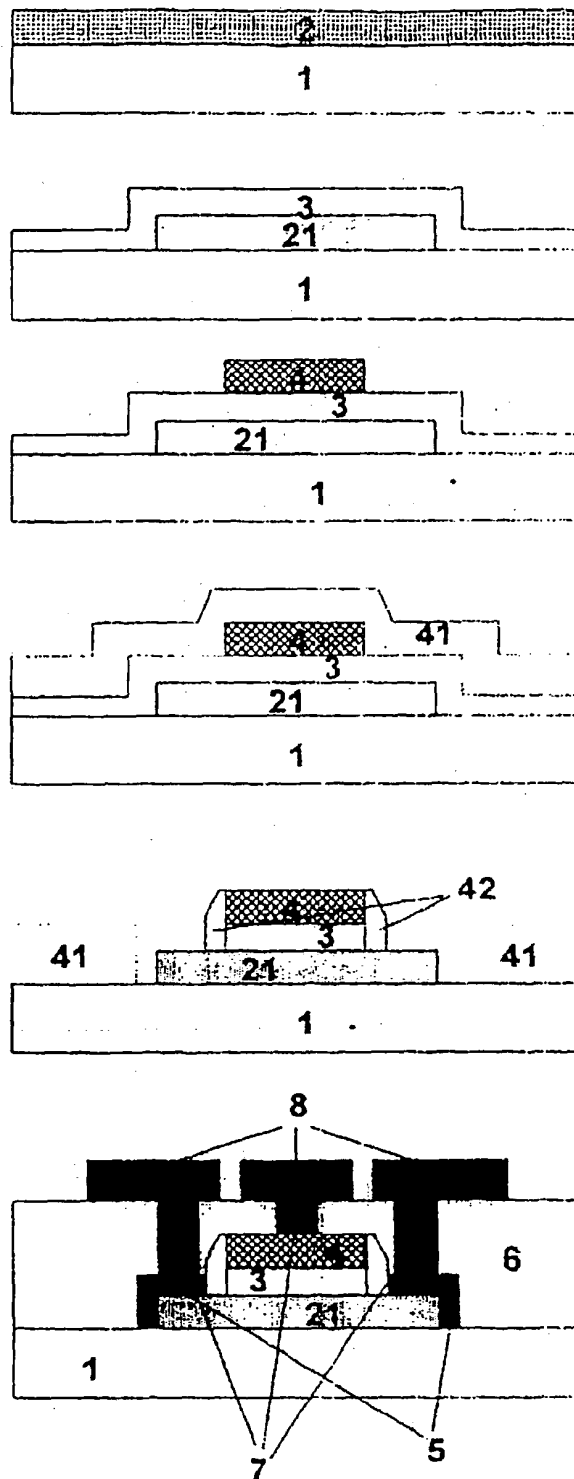


圖 — (b)

(請先閱讀背面之注意事項再行複製)

裝

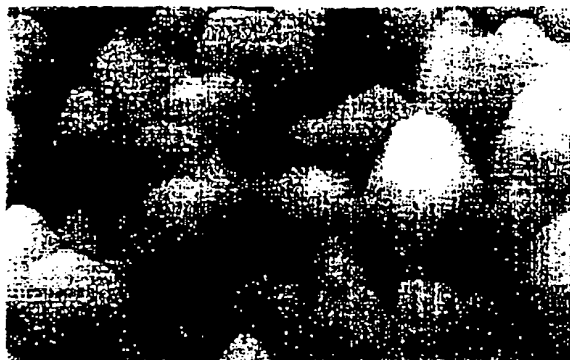
訂

經濟部中央標準局員工消費合作社印製

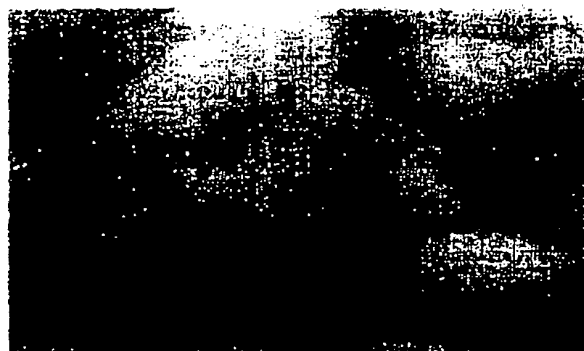
310478

A9
B9
C9
D9

圖式



圖二 (a)



圖二 (b)

(請先閱讀背面之注意事項再行複製)

裝

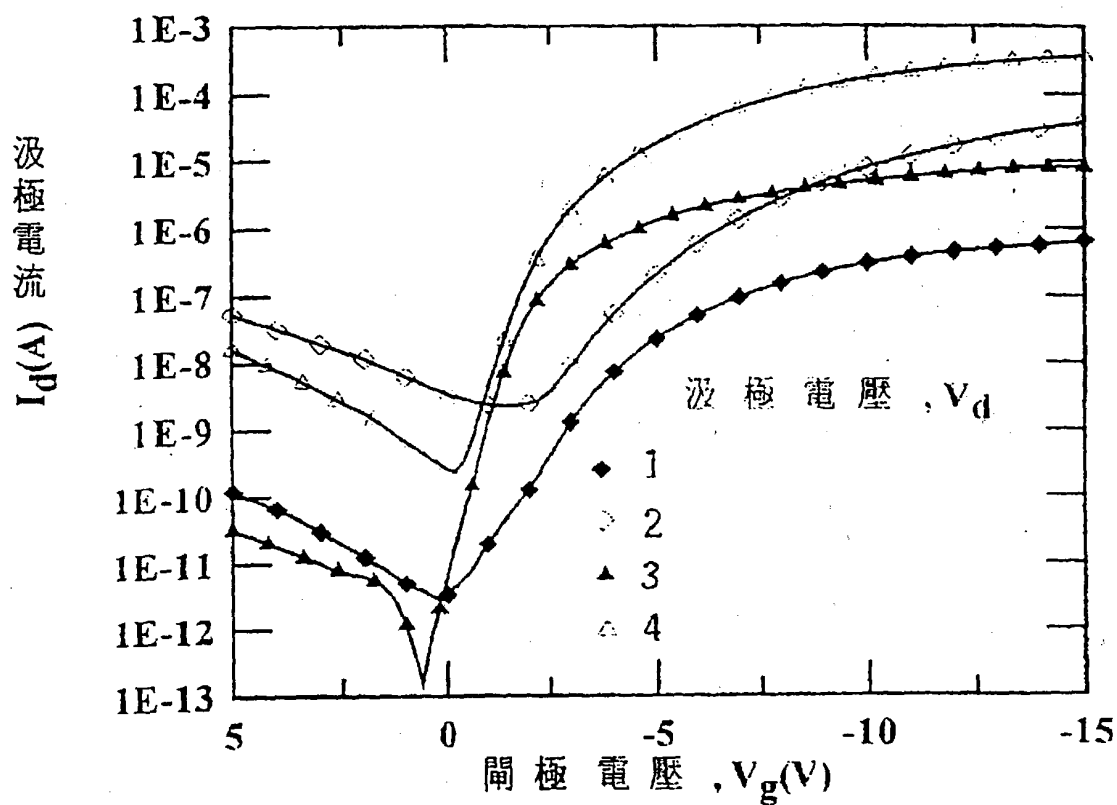
訂

經濟部中央標準局員工消費合作社印製

310478

A9
B9
C9
D9

圖式



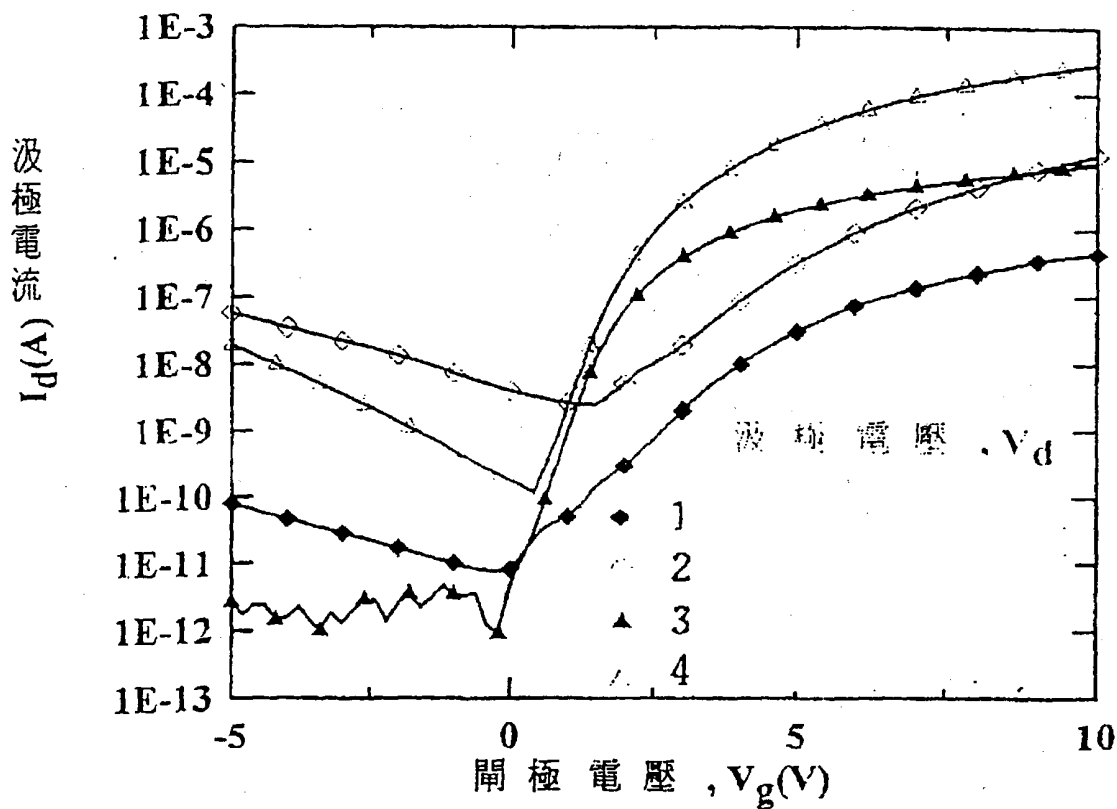
圖三 (a)

(請先閱讀背面之注意事項再行複製)

裝

訂

圖式



圖三(b)

(請先閱讀背面之注意事項再行繪製)

裝

訂